

CLIPPEDIMAGE= JP02001326352A

PAT-NO: JP02001326352A

DOCUMENT-IDENTIFIER: JP 2001326352 A

TITLE: METHOD FOR FORMING THIN GATE OXIDE HAVING  
RELIABILITY IMPROVED BY

FORMATION OF NITRIDE ON UPPER SURFACE OF GATE OXIDE TO  
FORM BARRIER OF NITROGEN

ATOM ON UPPER SURFACE OF GATE OXIDE AND RESULTING PRODUCT

PUBN-DATE: November 22, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
ARONOWITZ, SHELDON	N/A
HAYWOOD, JOHN	
KIMBALL, JAMES P	N/A
PUCHNER, HELMUT	
KAPRE, RAVINDRA M	N/A
NICOLAS, EIBU	

N/A

N/A

N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
LSI LOGIC CORP	N/A

APPL-NO: JP2001067081

APPL-DATE: March 9, 2001

INT-CL\_(IPC): H01L029/78; H01L021/318

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a device performance which minimizes  
and  
improves a gate depletion.

**SOLUTION:** Before a thin polysilicon gate electrode is formed on an upper surface of a gate oxide, a nitride is formed in an upper surface region of a gate oxide, whereby a barrier of nitrogen atoms is formed in an upper surface region of a gate oxide adjacent to a boundary between the gate oxide and the gate electrode, and dopant atoms like boron atoms are prevented from moving from the thin polysilicon gate electrode into a thin gate oxide, or into a channel region of a silicon substrate beneath the gate oxide through the thin gate oxide during annealing of the structure.

**COPYRIGHT:** (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-326352  
(P2001-326352A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int. Cl.

識別記号

F I

テマコード(参考)

H 0 1 L 29/78  
21/318

H 0 1 L 21/318  
  
29/78

A  
M  
3 0 1 G

審査請求 有 請求項の数18 O L 外国語出願 (全 27 頁)

(21) 出願番号 特開2001-67081(P2001-67081)

(22) 出願日 平成13年3月9日(2001.3.9)

(31) 優先権主張番号 09/521312

(32) 優先日 平成12年3月9日(2000.3.9)

(33) 優先権主張国 米国 (US)

(71) 出願人 591007686

エルエスアイ ロジック コーポレーショ  
ン  
LSI LOGIC CORPORATI  
ON

アメリカ合衆国、カリフォルニア州、ミル  
ピタス、マッカーシー ブルバード 1551

(72) 発明者 シェルドン・アロノウィッツ

アメリカ合衆国カリフォルニア州95127,  
サン・ホセ, パーリー・コート 3577

(74) 代理人 100089705

弁理士 社本 一夫 (外5名)

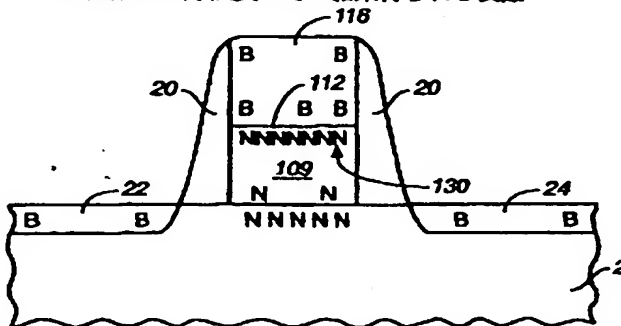
最終頁に続く

(54) 【発明の名称】 ゲート酸化物の上側表面の窒化物形成により向上した信頼性を有する薄いゲート酸化物を形成してゲート酸化物の上側表面に窒素原子のバリヤを形成する方法及びその結果得られる製品

(57) 【要約】

【課題】 ゲート空乏の最小化及び向上したデバイス性能を得る。

【解決手段】 薄いポリシリコン・ゲート電極をゲート酸化物の上側表面上に形成する前にゲート酸化物の上側表面領域の窒化物形成を行い、それによりゲート酸化物とゲート電極との境界に隣接したゲート酸化物の上側表面領域に窒素原子のバリヤを形成して、ホウ素原子のようなドーパント原子が薄いポリシリコン・ゲート電極から薄いゲート酸化物の中に、又はその構造のアニーリング中に薄いゲート酸化物を通してゲート酸化物の下のシリコン基板のチャネル領域の中に移動するのを阻止する。



(従来技術)

## 【特許請求の範囲】

【請求項1】 薄いポリシリコン・ゲート電極から薄いゲート酸化物の中へのドーバントの移動を阻止するため窒素原子のバリヤをMOSデバイスの薄いゲート酸化物と薄いポリシリコン・ゲート電極との間に形成する方法において、

a) 薄いゲート酸化物をシリコン基板の上に形成するステップと、

b) 薄いゲート酸化物の上側表面を窒化物形成して、窒素原子のバリヤをゲート酸化物の上側表面領域に形成するステップと、

c) 薄いポリシリコン・ゲート電極を前記窒化物形成されたゲート酸化物上に形成するステップと、

d) 前記ポリシリコン・ゲート電極及び前記シリコン基板の露出した部分をドーバントでドーピングして、前記ポリシリコン・ゲート電極の導電率を増大し且つソース／ドレイン領域を前記シリコン基板に形成するステップと、

e) 前記の構造をアニールして、前記ソース／ドレイン領域内の前記ドーバントを活性化し且つ当該ドーバントを前記ポリシリコン・ゲート電極全体にわたり拡散するステップと、を備え、

それにより、前記ゲート酸化物の前記上側表面領域の前記窒化物形成により形成された窒素原子の前記バリヤは、前記ドーバントが前記アニール中に前記バリヤを通して更に前記ゲート酸化物の中へ移動するのを阻止する、方法。

【請求項2】 前記ドーバントがホウ素である請求項1記載の方法。

【請求項3】 薄いゲート酸化物の上側表面を窒化物形成する前記ステップは更に、前記薄いゲート酸化物の前記上側表面を窒素プラズマに暴露するステップを備える請求項1記載の方法。

【請求項4】 前記窒素プラズマは、窒素を含むガスを前記シリコン基板を含む真空装置の中に流し、次いで前記真空装置内の前記窒素プラズマを点火することにより形成される請求項3記載の方法。

【請求項5】 前記窒素プラズマは、約250ワットから約1000ワットのパワー・レベルに維持される請求項4記載の方法。

【請求項6】 前記窒素プラズマが遠隔プラズマを備える請求項4記載の方法。

【請求項7】 前記の窒化物形成プロセスは、前記の真空チャンバ内の圧力を約1ミリトールから約1000ミリトールに維持しながら前記の真空チャンバで実行される請求項4記載の方法。

【請求項8】 前記薄いゲート酸化物をシリコン基板上に形成する前記ステップは更に、

a) 前記薄いゲート酸化物が形成されるであろう前記

b) その後に酸化物層を前記基板上に成長させるステップと、を備え、

それにより、窒素を注入された前記基板の前記領域上に成長された前記酸化物層の部分が、前記酸化物層の残りの部分より薄い、請求項3記載の方法。

【請求項9】 前記薄いゲート酸化物をシリコン基板上に形成する前記ステップは更に、

a) 酸化物層を前記基板上に成長させるステップと、

b) 前記薄いゲート酸化物が形成されるであろう前記酸化物層の部分を選択的にエッチングするステップであって、電氣的バイアスを前記基板に印加しながら前記酸化物層の前記部分を窒素プラズマに暴露することにより実行される前記選択的にエッチングステップと、を備え、

それにより、前記基板を電氣的にバイアスしながら前記窒素プラズマを用いて続いてエッチングされる前記基板の前記領域上に成長された前記酸化物層の部分が前記酸化物層の残りの部分より薄い、請求項3記載の方法。

【請求項10】 薄いポリシリコン・ゲート電極から薄いゲート酸化物の中へのホウ素ドーバントの移動を阻止するため窒素原子のバリヤをPMOSデバイスの薄いゲート酸化物と薄いポリシリコン・ゲート電極との間に形成する方法において、

a) 薄いゲート酸化物をシリコン基板の上に形成するステップと、

b) 前記薄いゲート酸化物の前記上側表面を窒素プラズマに暴露することにより薄いゲート酸化物の上側表面を窒化物形成して、ゲート酸化物の上側表面領域に窒素原子のバリヤを形成するステップと、

c) 薄いポリシリコン・ゲート電極を前記窒化物形成されたゲート酸化物上に形成するステップと、

d) 前記ポリシリコン・ゲート電極及び前記シリコン基板の露出した部分をホウ素ドーバントでドーピングして、前記ポリシリコン・ゲート電極の導電率を増大し且つソース／ドレイン領域を前記シリコン基板に形成するステップと、

e) 前記の構造をアニールして、前記ソース／ドレイン領域内の前記ホウ素ドーバントを活性化し且つ当該ホウ素ドーバントを前記ポリシリコン・ゲート電極全体にわたり拡散するステップと、を備え、

それにより、前記ゲート酸化物の前記上側表面領域の前記窒化物形成により形成された窒素原子の前記バリヤは、前記ホウ素ドーバントが前記アニール中に前記バリヤを通して更に前記ゲート酸化物の中へ移動するのを阻止する、方法。

【請求項11】 前記窒素プラズマは、窒素を含むガスを前記シリコン基板を含む真空装置の中に流し、次いで前記真空装置内の前記窒素プラズマを点火することにより形成される請求項10記載の方法。

から約2000ワットのパワー・レベルに維持される請求項11記載の方法。

【請求項13】 前記窒素プラズマが遠隔プラズマを備える請求項11記載の方法。

【請求項14】 前記の窒化物形成プロセスは、前記の真空チャンバ内の圧力を約1ミリトールから約1000ミリトールに維持しながら前記の真空チャンバで実行される請求項11記載の方法。

【請求項15】 前記の窒化物形成プロセスは、前記の真空チャンバ内の圧力を約1ミリトールから約500ミリトールに維持しながら前記の真空チャンバで実行される請求項11記載の方法。

【請求項16】 前記薄いゲート酸化物をシリコン基板上に形成する前記ステップは更に、

a) 前記薄いゲート酸化物が形成されるであろう前記基板の領域に窒素原子を注入するステップと、

b) その後、酸化物層を前記基板上に成長させるステップと、を備え、

それにより、窒素を注入された前記基板の前記領域上に成長された前記酸化物層の部分が、前記酸化物層の残りの部分より薄い、請求項10記載の方法。

【請求項17】 前記薄いゲート酸化物をシリコン基板上に形成する前記ステップは更に、

a) 酸化物層を前記基板上に成長させるステップと、

b) 前記薄いゲート酸化物が形成されるであろう前記酸化物層の部分を選択的にエッチングするステップであって、電氣的バイアスを前記基板に印加しながら前記酸化物層の前記部分を窒素プラズマに暴露することにより実行される前記選択的にエッチングステップと、を備え、

それにより、前記基板を電氣的にバイアスしながら前記窒素プラズマを用いて続いてエッチングされる前記基板の前記領域上に成長された前記酸化物層の部分が前記酸化物層の残りの部分より薄い、請求項10記載の方法。

【請求項18】 MOSデバイスの薄いゲート酸化物と薄いポリシリコン・ゲート電極との間の前記薄いゲート酸化物の上側表面領域に窒素原子のバリアを有し、ドーパントが前記薄いポリシリコン・ゲート電極から前記薄いゲート酸化物の中へ移動するのを阻止する集積回路構造のMOSデバイスにおいて、前記窒素原子のバリアが、

a) 薄いゲート酸化物をシリコン基板の上に形成することと、

b) 薄いゲート酸化物の上側表面領域を窒化物形成して、窒素原子のバリアをゲート酸化物の上側表面領域に形成することと、

c) 薄いポリシリコン・ゲート電極を前記窒化物形成されたゲート酸化物上に形成することと、

d) 前記ポリシリコン・ゲート電極及び前記シリコン

記ポリシリコン・ゲート電極の導電率を増大し且つソース/ドレイン領域を前記シリコン基板に形成することと、

e) 前記の構造をアニールして、前記ソース/ドレイン領域内の前記ドーパントを活性化し且つ当該ドーパントを前記ポリシリコン・ゲート電極全体にわたり拡散することと、により形成され、

それにより、前記ゲート酸化物の前記上側表面領域の前記窒化物形成により形成された窒素原子の前記バリアは、前記ドーパントが前記アニール中に前記バリアを通して更に前記ゲート酸化物の中へ移動するのを阻止する、MOSデバイス。

【発明の詳細な説明】

【0001】 [発明の背景]

[1. 発明の分野] 本発明は、集積回路構造のMOSデバイスのための向上した信頼性を有する薄いゲート酸化物を形成する方法及びその結果得られる製品に関する。詳細には、本発明は、薄いゲート酸化物の上側表面の窒化物形成により薄いポリシリコン・ゲート電極の下側の薄いゲート酸化物の上側表面領域に窒素原子のドーパント・バリアを形成することによる製品及びその製品を形成する方法に関し、それによりゲート空乏の最小化及び向上したデバイス性能が、ゲート電極ドーパントが半導体基板内のMOSデバイスのゲート酸化物又は下に横たわるチャネル領域の中に侵入するのを阻止しながら、薄いポリシリコン・ゲート電極及び薄いゲート酸化物を設けることにより維持され得る。

【0002】 [2. 従来技術の説明] 集積回路構造は個々の構成要素のサイズが小さくなり続けるにつれ、集積回路構造上に形成されたシリコン酸化物及びポリシリコンのような材料の厚さを正確に制御することが必要となってきた。例えば、MOSTランジスタの形成は、厚さが4.0ナノメートル(nm)以下の高品質のゲート酸化物、及びその上の300nm以下の薄いポリシリコン・ゲート電極の形成を必要とする場合がある。そのような薄いポリシリコン・ゲート電極の使用は、ゲート欠乏に対する救済手段を与える一方、その結果得られたMOSデバイスの向上した性能は、薄いゲート酸化物及び薄いポリシリコン・ゲート電極の両方からもたらされる。

【0003】 しかしながら、ポリシリコン・ゲート電極は電極の所望の導電率を与えるためドーピングを必要とするので、ゲート酸化物の下の半導体基板の下に横たわるゲート酸化物及びチャネル領域の中にポリシリコン・ゲート・ドーパントが侵入する問題は、そのような薄いゲート酸化物及び薄いポリシリコン・ゲート電極が利用されたとき悪化される。

【0004】 シリコン基板上に後に成長されるシリコン酸化物層の厚さを制御するための窒素のシリコン基板中への注入は、先に文献で証明されている。従来技術の図

スク4によりマスクされ、薄い酸化物を後に成長させることが望まれるシリコン基板2のその部分のみを露光する。次いで、マスクされた構造は、窒素のブランケット注入にさらされ、その結果窒素原子が図1の参照番号5で示されるように、露出したシリコン基板表面の中に注入される。マスク4の除去の後にシリコン酸化物層6の成長が続き、そのことが、図2の従来技術に示されるように、シリコン基板2の窒素注入された領域5上のシリコン酸化物層6の部分に形成された薄いシリコン酸化物領域8をもたらす。

【0005】次いで、酸化物層6の薄い酸化物領域8は、薄いポリシリコン層をシリコン酸化物層6の上に被着し、次いで、図3に示されるように、ポリシリコン層及び下に横たわるシリコン酸化物層6の両方にパターンニングして、シリコン酸化物層6の薄いシリコン酸化物部分8から形成された薄いゲート酸化物9の上に薄いポリシリコン・ゲート電極16を形成する。次いで、絶縁側壁スペーサ20が、ポリシリコン・ゲート電極16の側壁上に通常形成され、そして（例えば、PMOSデバイス構成すべきときはホウ素、又はNMOSデバイス構成しつつあるときはリン又はヒ素のような）ドーパントを用いた注入が続いて、ゲート電極16をドーパし且つシリコン基板2にソース/ドレイン領域22及び24を形成する。

【0006】その構造を次いでアニールしてドーパントを活性化したとき、ドーパント原子（特にホウ素原子）の移動度、及び薄いポリシリコン・ゲート電極及び薄いゲート酸化物の両方の薄さは、ホウ素原子のようなドーパント原子が薄いポリシリコン・ゲートを通して下に横たわるゲート酸化物の中に、並びに薄いゲート酸化物を通して、MOSデバイスのチャンネルを形成するであろうゲート酸化物の下のシリコン基板の領域の中に移動することをもたらすことができる。

【0007】（シリコン基板の窒素注入された表面に成長されたシリコン酸化物層の厚さを制御するための）シリコン基板の前の窒素注入がまた、ドーパント原子がシリコン基板のチャンネル領域の中に侵入することに対抗したあるバリア保護を与える一方、注入された基板の上及びその中に後に成長された薄い酸化物の中に組み入れられたそのような注入された窒素の量は、数原子パーセントの濃度を超えない。更に、酸化物に組み入れられた窒素は、基板/酸化物境界10（酸化物/ポリシリコン境界12ではない）近くの領域に組み入れられる。従って、従来技術の図3に示されるように、ポリシリコン・ゲート電極からゲート酸化物の中に拡散するいずれのドーパント原子は、ゲート酸化物を通して拡散することができ、そしてこのより低い境界近くのゲート酸化物に積み上がり、それによりゲート酸化物の信頼性を低下させるであろう。

たわる薄いゲート酸化物又はゲート酸化物の下のシリコン基板のチャンネル領域のいずれかに侵入することに対抗したバリアを形成する一方、薄いシリコン酸化物ゲート酸化物及び薄いポリシリコン・ゲート電極の形成及びそれらの使用を相変わらず可能にして、所望のゲート欠乏保護及び向上したデバイス性能を与えるであろうプロセスを提供することが望ましいであろう。

【0009】〔発明の概要〕本発明は、ドーパントが薄いポリシリコン・ゲート電極からゲート電極の下に薄いゲート酸化物の中へ移動することを阻止し、それによりまたそのようなドーパントが薄いゲート酸化物を通してゲート酸化物の下のシリコン基板のチャンネル領域の中へ更に移動することを阻止する方法を備える。当該方法は、薄いポリシリコン・ゲート電極をゲート酸化物の窒化物形成された表面上に形成する前に薄いゲート酸化物の上側表面領域の窒化物形成を備え、それによりゲート電極とゲート酸化物との境界に隣接したゲート酸化物の上側表面領域に窒素原子のバリアを形成して、ポリシリコン・ゲート電極内のドーパント原子がゲート酸化物の中に、又は続いてのその構造のアニーリング中にゲート酸化物を通してゲート酸化物の下のシリコン基板のチャンネル領域の中へ移動するのを阻止する。

【0010】一実施形態において、薄いゲート酸化物は、最初に、シリコン酸化物がその上に形成されるであろう領域内のシリコン基板の表面の中に窒素原子を注入することによりシリコン基板上に形成される。シリコン酸化物層の続いての成長は、シリコン基板の窒素注入された表面領域における薄いシリコン酸化物の形成をもたらすであろう。次いで、シリコン基板表面における注入された窒素原子のうちの少なくとも幾らかが薄いゲート酸化物の中に組み入れられ、それにより本発明の窒化物形成ステップに起因してゲート酸化物層の上側表面領域に存在する窒素原子により形成されたドーパント・バリアを補足する。

【0011】別の実施形態において、シリコン基板上のシリコン酸化物層の選択的部分は、続いて形成されたゲート酸化物のための所望の厚さまでそのシリコン酸化物を薄くするよう選択的にエッチングされ得る。そのようなシリコン酸化物のエッチングは、バイアスをシリコン基板に印加した状態での窒素プラズマを用いて実行され得て、その場合、エッチングされたシリコン酸化物の表面の窒化物形成は、シリコン酸化物層の所望の厚さが達成された後で、バイアスをシリコン基板から取り去ることにより、同じ装置で実行され得る。

【0012】〔発明の詳細な説明〕本発明は、ドーパントが薄いポリシリコン・ゲート電極からそのゲート電極の下に薄いゲート酸化物の中に、又はゲート酸化物を通してそのゲート酸化物の下のシリコン基板のチャンネル領域の中へ移動するのを阻止する方法を備える。当該方法

化物形成された表面上に形成する前にゲート酸化物の上側表面領域の窒化物形成を備え、それによりゲート酸化物とゲート電極との境界に隣接したゲート酸化物の上側表面領域に窒素原子のバリヤを形成して、ドーパント原子がポリシリコン・ゲート電極からゲート酸化物の中に、又はその構造のアニーリング中にゲート酸化物の下のシリコン基板のチャンネル領域の中に移動するのを阻止する。

【0013】一実施形態において、薄いゲート酸化物は、最初に、シリコン酸化物がその上に形成されるであろう領域内のシリコン基板の表面の中に窒素原子を注入することによりシリコン基板上に形成される。シリコン酸化物層の続いての成長は、シリコン基板の窒素注入された表面領域における薄いシリコン酸化物の形成をもたらす。次いで、シリコン基板表面における注入された窒素原子のうちの少なくとも幾らかが薄いゲート酸化物の中に組み入れられ、それにより窒化物形成ステップに起因してゲート酸化物層の上側表面領域に存在する窒素原子により形成されたドーパント・バリヤを補足する。

【0014】別の実施形態において、シリコン基板上のシリコン酸化物層の選択的部分は、続いて形成されたゲート酸化物のための所望の厚さまでそのシリコン酸化物を薄くするよう選択的にエッチングされ得る。そのようなシリコン酸化物のエッチングは、バイアスをシリコン基板に印加した状態での窒素プラズマを用いて実行され得て、その場合、エッチングされたシリコン酸化物の表面の窒化物形成は、シリコン酸化物層の所望の厚さが達成された後で、バイアスをシリコン基板から取り去ることにより、同じ装置で実行され得る。

【0015】用語「薄いゲート酸化物」の使用により、10nmより薄い厚さを有するシリコン酸化物ゲート酸化物が意味される。用語「薄いゲート電極」の使用により、300nmより薄い厚さを有するポリシリコン・ゲート電極が意味される。

【0016】窒素原子のバリヤを形成するため窒化物形成されたゲート酸化物層の部分に関する、用語「上側表面領域」の使用により、ゲート酸化物の上側表面からそのゲート酸化物における下側に向けてゲート酸化物層の全厚さを超えない距離の間拡張する領域が意味される。

【0017】[a. 薄いゲート酸化物の形成] 本発明の実施に用いられる薄いゲート酸化物は、一実施形態においては、図4におけるシリコン基板2の表面に注入された窒素原子により示されるように、薄いゲート酸化物の後の形成が望まれるシリコン基板のマスクされない部分の表面領域に窒素原子を最初に注入することにより、形成され得る。注入は、約 $5 \times 10^{14}$ 原子/cm<sup>2</sup>の供与量濃度及び約20から約30KeVのエネルギー・レベルで実行され得る。次いで、シリコン酸化物層106は、注入された領域を含むシリコン基板2上に成長され、窒

リコン酸化物、及び注入された窒素が存在する参照番号108におけるそれより薄いシリコン酸化物の成長をもたらす。酸化物成長時間を調整することにより、2.5nmより薄い厚さを有する薄い酸化物が、シリコン基板の窒素注入された部分上に成長され得る一方、より厚い酸化物が、例えば、アナログ適用のため、その他の場所で成長される。この方法による薄いゲート酸化物の形成は、シリコン基板の中に注入された窒素の幾らかが後に成長されたゲート酸化物の中に組み入れられて、ゲート電極ドーパントがゲート酸化物を通して薄いゲート酸化物の下のシリコン基板のチャンネル部分の中に移動することに対抗するある追加の保護を与える。

【0018】所望の薄いゲート酸化物はまた、シリコン酸化物層の所望の厚さを達成するため、シリコン基板上の選択された電氣的バイアスを維持しながら、窒素プラズマを用いてシリコン酸化物層を選択的にエッチングするか又はブランケット・エッチングするかのいずれかが続く、シリコン酸化物のブランケット層をシリコン基板上に初期形成することにより形成され得る。所望の薄いゲート酸化物を形成する方法は、シリコン酸化物をエッチングするのに用いられた同じ窒素プラズマ装置がまた、後に形成されるポリシリコン・ゲート電極の下のゲート酸化物として利用されるべきその結果生じる薄いシリコン酸化物の表面の窒化物形成のため用いられ得る。除去すべき酸化物量を制御するため選択されたバイアスを下に横たわるシリコン基板に用いてシリコン酸化物に対して制御されたエッチングを行うこの方法は、1999年12月15日に別のものと共に我々により出願され、発明の名称が「窒素プラズマ及び基板に印加されるRFバイアスを用いた半導体基板の集積回路構造上の制御可能な厚さの酸化物をエッチングする方法」であり、本発明の譲受人に譲渡された同時係属出願No. 09/464, 297に一層詳細に記載され、その出願は本明細書に援用されている。

【0019】[b. 窒化物形成] MOSデバイスが続いて構成されるであろうシリコン基板上の薄いシリコン酸化物層部分の形成後に、薄いシリコン酸化物は、(薄いシリコン酸化物のエッチングを避けるため)シリコン基板上にゼロ・バイアスを維持しながら、真空チャンバ内で、窒素プラズマ、好ましくは遠隔プラズマに対してシリコン酸化物表面を暴露することにより、図4に示されるように本発明に従って窒化され、それにより、ゲート酸化物とその上に構成されるべきポリシリコン・ゲート電極との間の境界となるであろう表面112に隣接した酸化物層106の薄い部分108の上側表面領域に窒素原子のドーパント・バリヤを与える。

【0020】窒化物形成は、最小の約2秒から約10分の期間までの範囲である時間期間実行される。窒化物形成時間は、約5秒から約1分の範囲であり、10秒が窒



【0021】窒化物形成プロセスは、真空チャンバ内のプラズマの維持を可能にするに十分な程であるが、しかしシステムへの損傷を回避するため且つシステムの能力内で圧力を維持するに十分な程低く真空チャンバ内の圧力を維持しながら実行される。好ましくは、圧力は約1ミリトールから約1000ミリトールの範囲内に維持され、最も好ましくは約1ミリトールから約500ミリトールの範囲内に維持され、約1ミリトールから約100ミリトールの範囲の圧力が典型的である。真空チャンバ内の圧力をこれらの範囲内に維持することは、通常上記の基準を満足させるであろう。窒素のガス源のチャンバへの流れは、チャンバ内で維持された所望の圧力及び装置の圧送量と関連するであろう。

【0022】真空チャンバ内の窒素プラズマは、 $N_2$ 、又は $N_2O$ 又は $NO$ のような別の窒素含有ガスのような窒素のガス源をエッチ装置の中に流し、そして真空チャンバ内のプラズマを維持することができる最小パワーから設備も基板も損傷させない最大パワー・レベルまでのパワー範囲内に維持されるrfプラズマ・パワー源を用いて、プラズマを点火することにより確立される。プラズマ・パワー源を約250ワットから約2000ワットまでの範囲内に維持することは、これらの基準を満足させるであろう。

【0023】窒化物形成が実行される温度は、最大温度が真空装置、又は半導体基板上の集積回路構造の他の部分に損傷を与えるかも知れない温度より下であるべきであることを除いて、極めて重大であると見なされない。約250℃より下の温度は、装置損傷の観点から十分であるはずである。しかしながら、60℃以下のようなより低い最大温度は、窒化物形成中の集積回路構造に存在するレジスト・マスクのような、集積回路構造に対する損傷の観点から好ましい。熱の予算要件はまた、より低い最大温度の窒化物形成中での使用を支持する。いずれのイベントにおいて、窒化物形成の再現可能な特性を保持するため、上記の考慮内の単一の動作温度が窒化物形成プロセスを行うため選択されるのが好ましい。

【0024】用語「遠隔プラズマ」の使用により、イオン種の束がプラズマ源で生成された初期の束から低減されるように、少なくとも幾らかの電子とイオンの窒素種との再結合が起こるプラズマ源から十分遠い基板目標からの距離に発生されるプラズマが意味される。そのような遠隔プラズマ発生能力を有するプラズマ装置は、例えば、LAM9400SEトランスフォーマ結合されたプラズマ(TCP)反応器又はApplied Materials DPS反応器のように、商業的に入手可能である。

【0025】[c. 薄いゲート電極] 構成されるべきMOSデバイスのゲート酸化物として働くであろう薄いシリコン酸化物の形成、及びこの薄いシリコン酸化物の窒

ト電極116は、最初にポリシリコンのブランケット層を図4の窒化物形成された酸化物層106上に被着することにより形成される。この被着されたポリシリコン層は、初期に所望の厚さに被着されるか、又はより厚い層として被着され、次いでそのポリシリコンの部分がウェットエッチングによるか又はドライエッチングによるか又は化学的/機械的研磨(CMP)によるようなことにより除去され、約300nmより薄い所望の厚さを達成する。次いで、ポリシリコン層は、下に横たわる窒化物形成されたシリコン酸化物層106と一緒に、マスクされ、そして選択的にエッチングされ、所望の薄いポリシリコン・ゲート電極116を、酸化物層106の薄くされた部分108から形成された薄いシリコン酸化物ゲート酸化物109上に形成する。次いで、酸化物スペーサ20は、当業者に周知のように、ブランケット被着された酸化物層の異方性エッチングが続く酸化物層のブランケット被着により、ポリシリコン・ゲート電極の側壁上に形成される。

【0026】[d. アニールングが続くドーパントを用いた注入] 次いで、その構造は、図5に示されるように、ドーパントを用いて注入され、ポリシリコン・ゲート電極116をドーブし且つソース/ドレイン領域22及び24をシリコン基板2に形成する。本発明のこのプロセスがいずれのドーパントに対する窒素原子のバリア層の形成に関して用いられ得る一方、それは、ドーパントがホウ素であるP-MOSデバイスの形成に関して、ホウ素ドーパントの高移動度故に特定の有用性がある。この理由のため、そのドーパントは、以降、実例として且つ限定するものではなくホウ素ドーパントと呼ばれる。

【0027】例えば、 $3 \times 10^{15}$ 原子/cm<sup>2</sup>の供与量及び約30KeVのエネルギー・レベルでの、ホウ素ドーパント注入後に、上記構造は、約800℃から約1000℃の温度で約10分から約30分の期間アニールされることができ、ソース/ドレイン領域の中の注入されたドーパントを活性化し且つホウ素ドーパントをポリシリコン・ゲート電極全体にわたり拡散することを可能にする。代替として、構造は、当業者に周知のように、約1000℃から約1050℃の温度で約1秒から約2分の期間迅速な熱アニール(RTA)にさらされることができ。

【0028】図5に示されるように、ポリシリコン・ゲート電極116内のホウ素ドーパントは、交差境界112に隣接するゲート酸化物109の上側表面領域に示された窒素原子を備える窒素バリア130の存在により、ポリシリコン・ゲート電極116と下に横たわるゲート酸化物109との間の交差境界112から阻止される。

【0029】更に本発明のプロセスの実施を説明するため、多数のPMOSデバイスが、ゲート酸化物の窒化物形成を用いて、並びに本発明の窒化物形成なしに構成さ



アのPMOSデバイスが構成され、1つは「高性能」として等級付けされ、他方は「低漏洩」として等級付けされている。各タイプの長いチャネル(10 $\mu$ m)及び短いチャネル(0.21 $\mu$ m)デバイスが構成された。各例において、薄いゲート酸化物の厚さは3.0nmであり、薄いポリシリコン・ゲート電極の厚さは200nmであった。

【0030】窒素は、ゲート酸化物を形成するためシリコン基板上に後に成長された酸化物の厚さを制御するため、各サンプルのシリコン基板に注入された。各窒化物形成されたサンプルにおいて、窒化物形成が、LAM9400SE TCP遠隔プラズマ反応器で実行され、その反応器において真空チャンバは、40ミリの圧力及び約60℃の温度に維持され、プラズマ発生器パワ

\*ー・レベルは約500ワットに維持された。制御デバイスのソース/ドレイン領域は、1000℃でアニールされ、一方本発明の窒化物形成ステップで構成されたPMOSデバイスの一部のソース/ドレイン領域は、示されたように、1000℃で30秒間アニールされ、また一部は1025℃で30秒間アニールされた。1000℃でアニールするソース/ドレインを有するデバイスに対して、窒化物形成ステップは、10秒間実行され、一方1025℃でアニールするソース/ドレインを有するデバイスは、20秒の窒化物形成ステップにさらされた。それぞれのデバイスのスレッシュホールド電圧(ミリボルト単位で)は、次のように表にされた。

【0031】

【表1】

スレッシュホールド電圧の表

デバイス・チャネル		制御		
タイプ	長さ	窒化物形成なし	1025℃アニールで窒化物形成	1025℃アニールで窒化物形成
高性能	短い	-272.4	-335.7	-344.0
高性能	長い	-235.8	-317.5	-346.7
低漏洩	短い	-396.1	-449.2	-459.2
低漏洩	長い	-343.5	-416.7	-444.9

【0032】その結果は、各タイプのデバイスの、及び幾つかのアニール温度でのスレッシュホールド電圧が本発明に従って薄いゲート酸化物の上側表面領域に窒素原子のバリヤを形成することにより改善されることを示す。

【0033】従って、本発明は、MOSデバイス及び特にPMOSデバイスの薄いゲート酸化物の上側表面を窒化物形成することにより、その薄いゲート酸化物の上側表面領域に窒素原子のバリヤを形成する製品及び方法を提供する。薄いゲート酸化物の上側表面領域に形成された窒素原子のバリヤは、ドーバントが薄いゲート酸化物電極から薄いゲート酸化物の中に移動するのを阻止し、並びにドーバントがゲート酸化物の下の基板のチャネル領域の中に移動するのを防止し、従ってそのような窒素原子のバリヤを有するように構成されたMOSデバイスのスレッシュホールド電圧を増大する。

【図面の簡単な説明】

【図1】図1は、シリコン基板のマスクされていない部分の中に窒素を選択的に注入することを示す従来技術のシリコン基板の部分縦断面図である。

【図2】図2は、マスクの除去及びシリコン基板上のシリコン酸化物層の成長後の図1の窒素注入された従来技術の構造であって、酸化物層の薄いシリコン酸化物部分※

※が基板の窒素注入された部分上に形成されている状態の構造の部分縦断面図である。

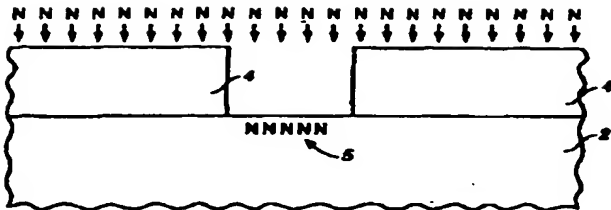
【図3】図3は、前に形成された酸化物層の薄い部分から形成された薄いゲート酸化物上にポリシリコン・ゲート電極を形成した後の図2の従来技術の構造であって、ホウ素ドーバントによるその構造のブランケット注入を示している構造の部分縦断面図である。

【図4】図4は、図2に示されるように、シリコン酸化物層上に形成された薄い領域を備える当該シリコン酸化物層を有する選択的に窒素注入されたシリコン基板であるが、酸化物層の表面が本発明に従って窒化物形成されている状態である当該シリコン基板の部分縦断面図である。

【図5】図5は、前に形成された酸化物層の薄い部分から形成された薄いゲート酸化物上にポリシリコン・ゲート電極を形成した後の図4の構造であって、本発明に従った、ホウ素ドーバントによるその構造のブランケット注入、及びポリシリコン・ゲート電極とゲート酸化物との接合部に形成されたドーバント・バリヤを示している構造の部分縦断面図である。

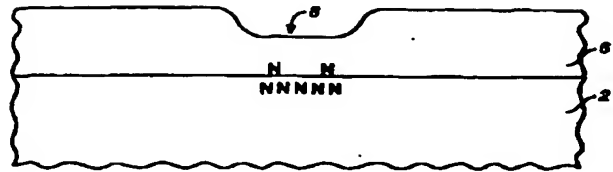
【図6】図6は、本発明のプロセスを図示するフロー・シートである。

【図1】



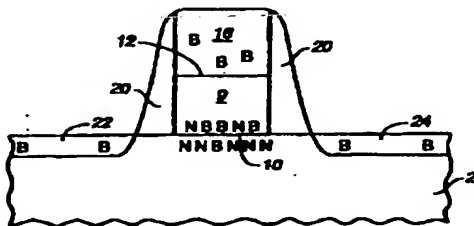
(従来技術)

【図2】



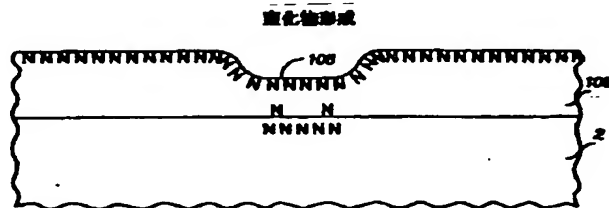
(従来技術)

【図3】

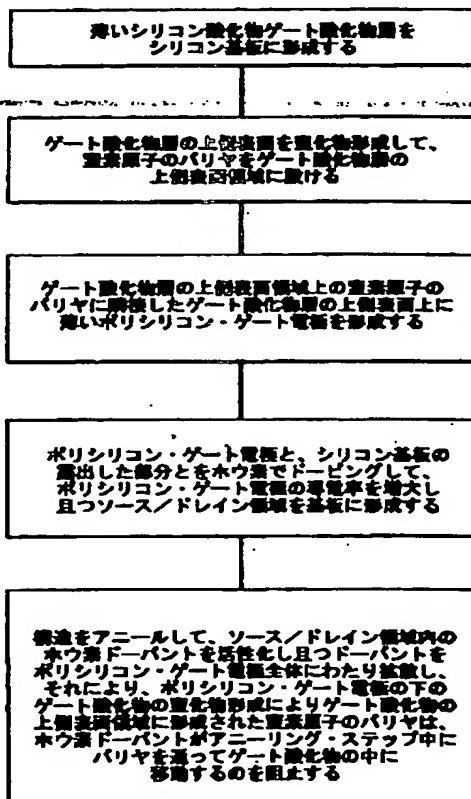


(従来技術)

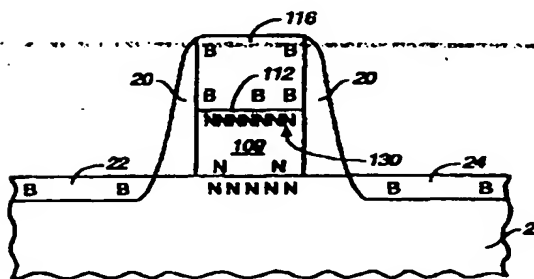
【図4】



【図6】



【図5】



(従来技術)

## フロントページの続き

(72)発明者 ジョン・ヘイウッド  
アメリカ合衆国カリフォルニア州95054,  
サンタ・クララ, マンション・パーク・ド  
ライブ 550, ナンバー 205  
(72)発明者 ジェームズ・ビー・キンボール  
アメリカ合衆国カリフォルニア州95124,  
サン・ホセ, ストラットフォード・ドライ  
ブ 15123

(72)発明者 ヘルマット・バックナー  
アメリカ合衆国カリフォルニア州95051,  
サンタ・クララ, クーパー・ドライブ  
3457  
(72)発明者 ラビンドラ・マノハール・カブレ  
アメリカ合衆国カリフォルニア州95135,  
サン・ホセ, ベル・ミラ・ウェイ 3339  
(72)発明者 ニコラス・エイブ  
アメリカ合衆国カリフォルニア州95120,  
サン・ホセ, アーモンドウッド・ウェイ  
781

## 【外国語明細書】

## 1 Title of Invention

PROCESS FOR FORMING THIN GATE OXIDE WITH ENHANCED RELIABILITY  
BY NITRIDATION OF UPPER SURFACE OF GATE OXIDE TO  
FORM BARRIER OF NITROGEN ATOMS IN UPPER SURFACE REGION  
OF GATE OXIDE, AND RESULTING PRODUCT

## 2 Claims

1. A process for forming a barrier of nitrogen atoms between a thin gate oxide and a thin polysilicon gate electrode of an MOS device to inhibit passage of dopant from the thin polysilicon gate electrode into the thin gate oxide which comprises:
  - a) forming a thin gate oxide over a silicon substrate;
  - b) nitridating the upper surface of the thin gate oxide to form a barrier of nitrogen atoms in the upper surface region of the gate oxide;
  - c) forming a thin polysilicon gate electrode over said nitridated gate oxide;
  - d) doping said polysilicon gate electrode and exposed portions of said silicon substrate with dopant to increase the conductivity of said polysilicon gate electrode and to form source/drain regions in said silicon substrate; and
  - e) annealing the structure to activate said dopant in said source/drain regions and to diffuse the dopant throughout said polysilicon gate electrode;whereby said barrier of nitrogen atoms formed by said nitridation of said upper surface region of said gate oxide will inhibit passage of said dopant through said barrier further into said gate oxide during said annealing.
2. The process of claim 1 wherein said dopant is boron.
3. The process of claim 1 wherein said step of nitridating the upper surface of the thin gate oxide further comprises exposing said upper surface of said thin gate oxide to a nitrogen plasma.
4. The process of claim 3 wherein said nitrogen plasma is formed by flowing a gas containing nitrogen into a vacuum apparatus containing said silicon substrate, and then igniting said nitrogen plasma in said vacuum apparatus.
5. The process of claim 4 wherein said nitrogen plasma is maintained at a power level of from about 250 watts to about 1000 watts.
6. The process of claim 4 wherein said nitrogen plasma comprises a remote plasma.
7. The process of claim 4 wherein said nitridation process is carried out in said vacuum chamber while maintaining a pressure therein of from about 1 millitorr to about 1000 millitorr.
8. The process of claim 3 wherein said step of forming said thin gate oxide over a silicon substrate further comprises the steps of:

a) implanting with nitrogen atoms a region of said substrate where said thin gate oxide will be formed; and  
b) thereafter growing a layer of oxide on said substrate;  
whereby the portion of said layer of oxide grown over said region of said substrate implanted with nitrogen will be thinner than the remainder of said oxide layer.

9. The process of claim 3 wherein said step of forming said thin gate oxide over a silicon substrate further comprises the steps of:

a) growing a layer of oxide on said substrate; and  
b) selectively etching a portion of said layer of oxide where said thin gate oxide will be formed, said selective etching carried out by exposing said portion of said layer of oxide to a nitrogen plasma while applying an electrical bias to said substrate;  
whereby the portion of said layer of oxide grown over said region of said substrate subsequently etched with said nitrogen plasma while electrically biasing said substrate will be thinner than the remainder of said oxide layer.

10. A process for forming a barrier of nitrogen atoms between a thin gate oxide and a thin polysilicon gate electrode of a PMOS device to inhibit passage of boron dopant from the thin polysilicon gate electrode into the thin gate oxide which comprises:

- a) forming a thin gate oxide over a silicon substrate;
- b) nitridating the upper surface of the thin gate oxide to form a barrier of nitrogen atoms in the upper surface region of the gate oxide by exposing said upper surface of said thin gate oxide to a nitrogen plasma;
- c) forming a thin polysilicon gate electrode over said nitridated gate oxide;
- d) doping said polysilicon gate electrode and exposed portions of said silicon substrate with boron dopant to increase the conductivity of said polysilicon gate electrode and to form source/drain regions in said silicon substrate; and
- e) annealing the structure to activate said boron dopant in said source/drain regions and to diffuse the boron dopant throughout said polysilicon gate electrode;

whereby said barrier of nitrogen atoms formed by said nitridation of said upper surface region of said gate oxide will inhibit passage of said boron dopant through said barrier further into said gate oxide during said annealing.

11. The process of claim 10 wherein said nitrogen plasma is formed by flowing a gas containing nitrogen into a vacuum apparatus containing said silicon substrate, and then igniting said nitrogen plasma in said vacuum apparatus.

12. The process of claim 11 wherein said nitrogen plasma is maintained at a power level of from about 250 watts to about 2000 watts.

13. The process of claim 11 wherein said nitrogen plasma comprises a remote plasma.

14. The process of claim 11 wherein said nitridation process is carried out in said vacuum chamber while maintaining a pressure therein of from about 1 millitorr to about 1000 millitorr.

15. The process of claim 11 wherein said nitridation process is carried out in said vacuum chamber while maintaining a pressure therein of from about 1 millitorr to about 500 millitorr.

16. The process of claim 10 wherein said step of forming said thin gate oxide over a silicon substrate further comprises the steps of:

- a) implanting with nitrogen atoms a region of said substrate where said thin gate oxide will be formed; and
  - b) thereafter growing a layer of oxide on said substrate;
- whereby the portion of said layer of oxide grown over said region of said substrate implanted with nitrogen will be thinner than the remainder of said oxide layer.

17. The process of claim 10 wherein said step of forming said thin gate oxide over a silicon substrate further comprises the steps of:

- a) growing a layer of oxide on said substrate; and
  - b) selectively etching a portion of said layer of oxide where said thin gate oxide will be formed, said selective etching carried out by exposing said portion of said layer of oxide to a nitrogen plasma while applying an electrical bias to said substrate;
- whereby the portion of said layer of oxide grown over said region of said substrate subsequently etched with said nitrogen plasma while electrically biasing said substrate will be thinner than the remainder of said oxide layer.



18. An MOS device of an integrated circuit structure having a barrier of nitrogen atoms in an upper surface region of a thin gate oxide between said thin gate oxide and a thin polysilicon gate electrode of said MOS device to inhibit passage of dopant from said thin polysilicon gate electrode into said thin gate oxide, said barrier of nitrogen atoms formed by:

- a) forming a thin gate oxide over a silicon substrate;
- b) nitridating the upper surface region of the thin gate oxide to form a barrier of nitrogen atoms in the upper surface region of the gate oxide;
- c) forming a thin polysilicon gate electrode over said nitridated gate oxide;
- d) doping said polysilicon gate electrode and exposed portions of said silicon substrate with dopant to increase the conductivity of said polysilicon gate electrode and to form source/drain regions in said silicon substrate; and
- e) annealing the structure to activate said dopant in said source/drain regions and to diffuse the dopant throughout said polysilicon gate electrode;

whereby said barrier of nitrogen atoms formed by said nitridation of said upper surface region of said gate oxide will inhibit passage of said dopant through said barrier further into said gate oxide during said annealing.

### 3 Detailed Description of Invention

#### BACKGROUND OF THE INVENTION

##### 1. Field of the Invention

This invention relates to a process for forming thin gate oxide of enhanced reliability for MOS devices of integrated circuit structures, and the resulting product. More particularly, this invention relates to a product and a process for forming the product by forming a dopant barrier of nitrogen atoms in the upper surface region of a thin gate oxide beneath a thin polysilicon gate electrode by nitridation of the upper surface of the thin gate oxide whereby minimization of gate depletion and enhanced device performance may be maintained by the provision of a thin polysilicon gate electrode and a thin gate oxide while inhibiting penetration of gate electrode dopant into the gate oxide or the underlying channel region of the MOS device in the semiconductor substrate.

##### 2. Description of the Related Art

As integrated circuit structures have continued to shrink in size of individual components, it has become necessary to accurately control the thickness of materials such as silicon oxide and polysilicon formed on the integrated circuit structures. For example, formation of an MOS transistor may require the formation of a high quality gate oxide of less than 4.0 nanometers (nm) in thickness, and a thin polysilicon gate electrode thereon of less than 300 nm. The use of such thin polysilicon gate electrodes provides a remedy for gate depletion, while enhanced performance of the resulting MOS devices results from the provision of both thin gate oxides and thin polysilicon gate electrodes.

However, since a polysilicon gate electrode requires doping to provide the desired electrical conductivity of the electrode, the problem of penetration of the polysilicon gate dopant into the underlying gate oxide and the channel region of the semiconductor substrate beneath the gate oxide is exacerbated when such thin gate oxides and thin polysilicon gate electrodes are utilized.

Implantation of nitrogen into a silicon substrate to control the thickness of a silicon oxide layer subsequently grown thereon has been previously demonstrated in the literature. As shown in prior art Figure 1, a silicon substrate 2 can be masked by a resist mask 4 to expose only that portion of substrate 2 where it is desired to subsequently grow a thin oxide. The masked structure is then subject to a blanket implantation of nitrogen resulting in nitrogen atoms implanted into the exposed silicon substrate surface, as shown at 5 in Figure 1. Removal of mask 4 thereafter followed by growth of a silicon oxide layer 6 will result in a thin silicon oxide region 8 formed in the portion of silicon oxide layer 6 grown over nitrogen implanted region 5 of silicon substrate 2, as shown in prior art Figure 2.

Thin oxide region 8 of oxide layer 6 is then utilized as the thin gate oxide of an MOS device by depositing a thin polysilicon layer over silicon oxide layer 6 and then patterning both the polysilicon layer and the underlying oxide layer 6 to form a thin polysilicon gate electrode 16 over thin gate oxide 9 formed from thin silicon oxide portion 8 of silicon oxide layer 6, as shown in Figure 3. Insulating sidewall spacers 20 are then conventionally formed on the sidewalls of polysilicon gate electrode 16, followed by implantation with a dopant (such as boron when a PMOS device is to be constructed, or phosphorus or arsenic when an NMOS device is being constructed) to both dope gate electrode 16 and to form source/drain regions 22 and 24 in silicon substrate 2.

When the structure is then annealed to activate the dopant, the mobility of the dopant atoms (particularly boron atoms) and the thinness of both the thin polysilicon gate electrode and the thin gate oxide can result in migration of the dopant atoms such as boron atoms through the thin polysilicon gate into the underlying gate oxide, as well as through the thin gate oxide into the region of the silicon substrate beneath the gate oxide where the channel of the MOS device will be formed.

While the previous nitrogen implantation of the silicon substrate (to control the thickness of the silicon oxide layer grown in the nitrogen-implanted surface of the

supplement the dopant barrier formed by the nitrogen atoms present in the upper surface region of the gate oxide layer due to the nitridation step of the invention.

In another embodiment, a selective portion of a silicon oxide layer on a silicon substrate may be selectively etched to thin the oxide to the desired thickness for a subsequently formed gate oxide. Such etching of the silicon oxide may be carried out using a nitrogen plasma with a bias applied to the silicon substrate, in which case nitridation of the surface of the etched silicon oxide may be carried out in the same apparatus, after the desired thickness of the silicon oxide layer is achieved, by removing the bias from the silicon substrate.

#### DETAILED DESCRIPTION OF THE INVENTION

The invention comprises a process for inhibiting the passage of dopant from a thin polysilicon gate electrode into a thin gate oxide beneath the gate electrode or through the gate oxide into the channel region of a silicon substrate beneath the gate oxide. The process comprises nitridation of the upper surface region of the gate oxide prior to formation of the thin polysilicon gate electrode over the nitridated surface of the gate oxide to thereby form a barrier of nitrogen atoms in the upper surface region of the gate oxide adjacent the interface between the gate oxide and the gate electrode to inhibit passage of dopant atoms from the polysilicon gate electrode into the gate oxide or the channel region of the silicon substrate beneath the gate oxide during annealing of the structure.

In one embodiment, a thin gate oxide is first formed over the silicon substrate by implanting nitrogen atoms into the surface of the silicon substrate in the region where the silicon oxide will be formed over. Subsequent growth of a silicon oxide layer will result in the formation of thin silicon oxide in the nitrogen-implanted surface region of the silicon substrate. At least some of the implanted nitrogen atoms in the silicon substrate surface will then be incorporated into the thin gate oxide to thereby supplement the dopant barrier formed by the nitrogen atoms present in the upper surface region of the gate oxide layer due to the nitridation step.

In another embodiment, a selective portion of a silicon oxide layer on a silicon substrate may be selectively etched to thin the oxide to the desired thickness for a subsequently formed gate oxide. Such etching of the silicon oxide may be carried out using a nitrogen plasma with a bias applied to the silicon substrate, in which case nitridation of the surface of the etched silicon oxide may be carried out in the same apparatus, after the desired thickness of the silicon oxide layer is achieved, by removing the bias from the silicon substrate.

By use of the term "thin gate oxide" is meant a silicon oxide gate oxide having a thickness of less than 10 nm. By use of the term "thin gate electrode" is meant a polysilicon gate electrode having a thickness of less than 300 nm.

AN INTEGRATED CIRCUIT STRUCTURE ON A SEMICONDUCTOR SUBSTRATE USING NITROGEN PLASMA AND AN RF BIAS APPLIED TO THE SUBSTRATE", assigned to the assignee of this invention, and the subject matter of which is hereby incorporated herein.

b. Nitridation

After formation of the thin silicon oxide layer portion on the silicon substrate where the MOS device will be subsequently constructed, the thin oxide is nitridated, in accordance with the invention as shown in Figure 4, by exposing the silicon oxide surface to a nitrogen plasma, preferably a remote plasma, in a vacuum chamber while maintaining a zero bias on the silicon substrate (to avoid etching of the thin silicon oxide) to thereby provide a dopant barrier of nitrogen atoms in the upper surface region of thin portion 108 of oxide layer 106 adjacent surface 112 which will become the interface between the gate oxide and the polysilicon gate electrode to be constructed thereon.

The nitridation is carried out for a time period ranging from a minimum of about 2 seconds up to a period of about 10 minutes. Preferably the nitridation time will range from about 5 seconds to about 1 minute, with 10 seconds being a typical time period for the nitridation.

The nitridation process is carried out while maintaining a pressure within the vacuum chamber sufficient to permit maintenance of a plasma in the vacuum chamber, yet low enough to avoid damage to the system and to maintain the pressure within the capabilities of the system. Preferably, the pressure will be maintained within a range of from about 1 millitorr to about 1000 millitorr, and most preferably from about 1 millitorr to about 500 millitorr, with pressures ranging from about 1 millitorr to about 100 millitorr being typical. Maintaining the pressure in the vacuum chamber within these ranges will usually satisfy the above criteria. The flow of the gaseous source of nitrogen into the chamber will be related to the desired pressure maintained within the chamber and the pumping speed of the apparatus.

The nitrogen plasma in the vacuum chamber is established by flowing a gaseous source of nitrogen, such as  $N_2$ , or another nitrogen-containing gas such as  $N_2O$  or  $NO$ , into the etch apparatus and igniting the plasma, using an rf plasma power source maintained within a power range of from a minimum power capable of maintaining the plasma in the vacuum chamber up to a maximum power level which will not damage either the equipment or the substrate. Maintaining the plasma power source within a power

range of from about 250 watts to about 2000 watts will satisfy these criteria.

The temperature at which the nitridation is carried out is not considered to be crucial, except that maximum temperatures should be below temperatures which might damage the vacuum apparatus or other portions of the integrated circuit structure on the semiconductor substrate. Temperatures below about 250°C should be sufficient from a standpoint of equipment damage. However, lower maximum temperatures, such as 60°C or less, may be preferable from a standpoint of damage to the integrated circuit structure, such as resist masks present on the structure during the nitridation. Thermal budget requirements may also favor the use of lower maximum temperatures during the nitridation. In any event, for preserving the reproducible characteristics of the nitridation, it is preferable that a single operating temperature within the above considerations be selected for conduct of the nitridation process.

By use of the term "remote plasma" is meant a plasma which is generated at a distance from the substrate target sufficiently far enough from the plasma origin that recombination of at least some of the electrons with the ionic nitrogen species occurs so that the flux of ionic species will be reduced from the initial flux created at the plasma's origin. Plasma apparatus having such remote plasma generation capabilities are commercially available, such as, for example, a LAM 9400SE Transformer Coupled Plasma (TCP) reactor or an Applied Materials DPS reactor.

#### c. Formation of Thin Gate Electrode

After formation of the thin silicon oxide which will serve as the gate oxide of the MOS device to be constructed, and the nitridation of the surface of this thin silicon oxide, the thin polysilicon gate electrode 116 shown in Figure 5 is formed by first depositing a blanket layer of polysilicon over the nitridated oxide layer 106 of Figure 4. This deposited polysilicon layer may either be initially deposited to the desired thickness, or deposited as a thicker layer with portions of the polysilicon then removed such as by wet or dry etching or by chemical/mechanical polishing (CMP) to achieve the desired thickness of less than about 300 nm. The polysilicon layer is then masked and selectively etched, together with the underlying nitridated silicon oxide layer 106, to form the desired thin polysilicon gate electrode 116 over the thin silicon oxide gate oxide 109 formed from the thinned portion 108 of oxide layer 106. Oxide spacers 20 are then formed on the sidewalls of the polysilicon gate electrode by blanket deposit of an oxide layer followed by anisotropic etching of the blanket-deposited oxide layer, as is well known to those skilled in the art.

TABLE OF THRESHOLD VOLTAGES

Device Type	Channel Length	Control (No Nitridation)	Nitridation with 1025°C Anneal	Nitridation with 1025°C Anneal
High Perform	Short	-272.4	-335.7	-344.0
High Perform	Long	-235.8	-317.5	-346.7
Low Leakage	Short	-396.1	-449.2	-459.2
Low Leakage	Long	-343.5	-416.7	-444.9

The results show that the threshold voltage of each type of device, and at several annealing temperatures, is improved by the formation of the barrier of nitrogen atoms in the upper surface region of the thin gate oxide in accordance with the invention.

Thus, the invention provides a product and process for forming a barrier of nitrogen atoms in the upper surface region of a thin gate oxide of an MOS device, and particularly an PMOS device, by nitridation of the upper surface of the gate oxide. The barrier of nitrogen atoms formed in the upper surface region of the thin gate oxide inhibits the passage of dopant from a thin gate electrode into the thin gate oxide, as well as preventing the passage of dopant into the channel region of the substrate below the gate oxide, thus increasing the threshold voltage of MOS devices constructed with such a barrier of nitrogen atoms.

#### 4 Brief Description of Drawings

##### BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 is a fragmentary vertical cross-sectional view of a prior art silicon substrate showing selective implantation of nitrogen into an unmasked portion of the silicon substrate.

Figure 2 is a fragmentary vertical cross-sectional view of the nitrogen-implanted prior art structure of Figure 1 after removal of the mask and growth of a silicon oxide layer on the silicon substrate, with a thin silicon oxide portion of the oxide layer formed over the nitrogen-implanted portion of the substrate.

Figure 3 is a fragmentary vertical cross-sectional view of the prior art structure of Figure 2 after formation of a polysilicon gate electrode over a thin gate oxide formed from the thin portion of the previously formed oxide layer, showing blanket implantation of the structure with boron dopant.

Figure 4 is a fragmentary vertical cross-sectional view of a selectively nitrogen-implanted silicon substrate having a silicon oxide layer with a thin region formed thereon, as in Figure 2, but with the surface of the oxide layer subjected to a nitridation in accordance with the invention.

Figure 5 is a fragmentary vertical cross-sectional view of the structure of Figure 4 after formation of a polysilicon gate electrode over a thin gate oxide formed from the thin portion of the previously formed oxide layer, showing blanket implantation of the structure with boron dopant, and showing the dopant barrier formed at the junction between the polysilicon gate electrode and the gate oxide in accordance with the invention.

Figure 6 is a flow sheet illustrating the process of the invention.



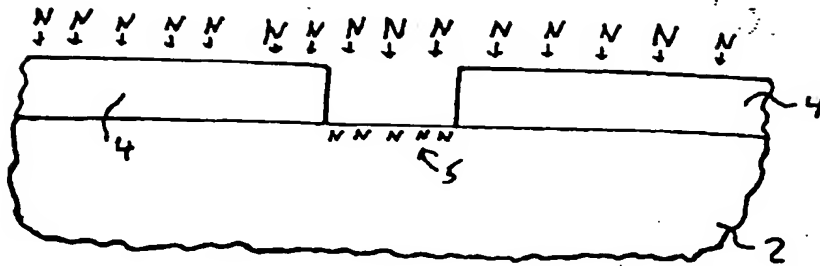


Fig. 1 (Prior Art)

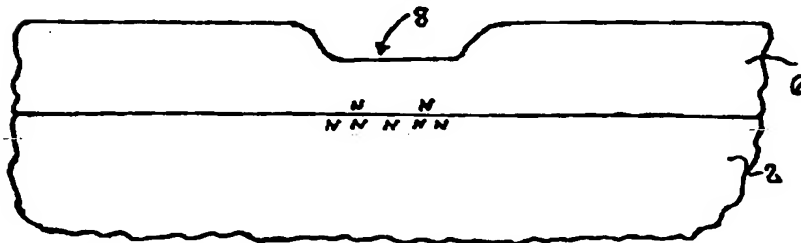


Fig. 2 (Prior Art)

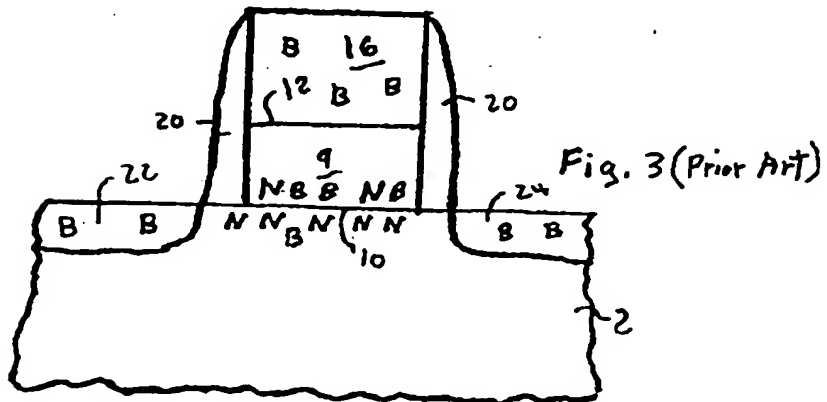


Fig. 3 (Prior Art)

(25)

特開2001-326352

NITRIDATION

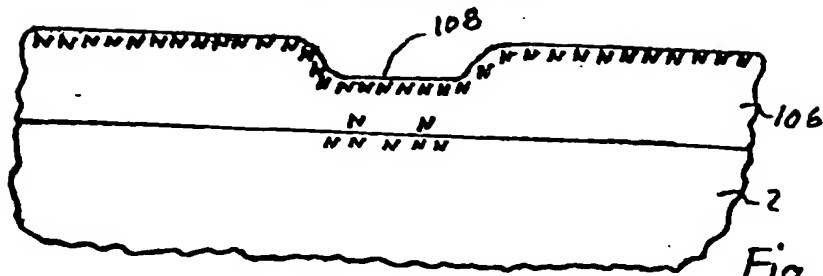


Fig. 4

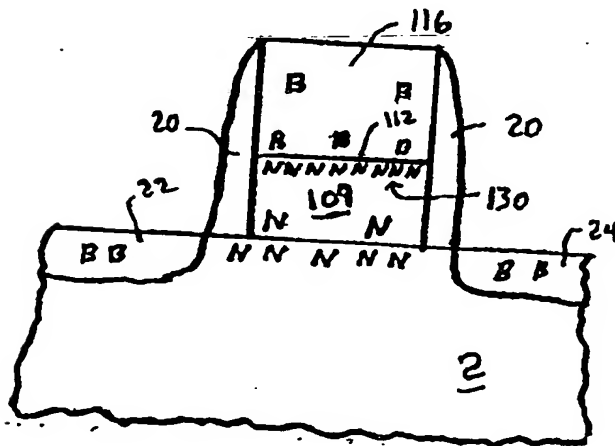


Fig. 5

# 1 Abstract

(27)

特開2001-326352

## ABSTRACT OF THE INVENTION

A process and resulting product are described for inhibiting the passage of dopant from a thin polysilicon gate electrode into a thin gate oxide beneath the gate electrode or through the gate oxide into the channel region of a silicon substrate beneath the gate oxide. The process comprises nitridation of the upper surface of the thin gate oxide, prior to formation of the thin polysilicon gate electrode over the upper surface of the gate oxide, to thereby form a barrier of nitrogen atoms in the upper surface region of the gate oxide adjacent the interface between the gate oxide and the gate electrode to inhibit passage of dopant atoms such as boron atoms from the thin polysilicon gate electrode into the thin gate oxide or through the thin gate oxide into the channel region of the silicon substrate beneath the gate oxide during annealing of the structure.

In one embodiment, the thin gate oxide is first formed over the silicon substrate by implanting nitrogen atoms into the surface of the silicon substrate in the region where the silicon oxide will be formed over. Subsequent growth of a silicon oxide layer will result in the formation of thin silicon oxide in the nitrogen-implanted surface region of the silicon substrate. At least some of the implanted nitrogen atoms in the silicon substrate surface will then be incorporated into the thin gate oxide to thereby supplement the dopant barrier formed by the nitrogen atoms present in the upper surface region of the gate oxide layer due to the nitridation step.

In another embodiment, a selective portion of a silicon oxide layer on a silicon substrate may be selectively etched to thin the oxide to the desired thickness for a subsequently formed gate oxide. Such etching of the silicon oxide may be carried out using a nitrogen plasma with a bias applied to the silicon substrate, in which case nitridation of the surface of the etched silicon oxide may be carried out in the same apparatus, after the desired thickness of the silicon oxide layer is achieved, by removing the bias from the silicon substrate.

## 2 Representative Drawing : FIG. 5